

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

08046438 ****Image available****

OUTPUT CIRCUIT, AND DATA CARRIER HAVING THE SAME

PUB. NO.: **2004-159197** [JP 2004159197 A]

PUBLISHED: June 03, 2004 (20040603)

INVENTOR(s): INOUE ATSUO

 YOKOYAMA TAKASHI

 HASHIMOTO SHINJI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD

APPL. NO.: 2002-324409 [JP 2002324409]

FILED: November 07, 2002 (20021107)

INTL CLASS: H03K-019/003; H03F-001/52; H03K-019/0175

ABSTRACT

PROBLEM TO BE SOLVED: To provide a data carrier having an output circuit which can prevent a component from being damaged and can perform a data communication with a high reliability by preventing an excess current from flowing even though a plurality of output signals collide with each other.

SOLUTION: This output circuit 10 is provided with a bias circuit 11 for generating first and second bias voltages to be changed in accordance with the variation of a power voltage; a first current restriction circuit 12 for restricting a current flowing in from a power potential (VDD) in accordance with the first bias voltage (BIAS1); a second current restriction circuit 13 for restricting a current flowing out to a ground potential (GND) in accordance with the second bias voltage (BIAS2); and a signal transmission circuit 14 for receiving an internal signal (IN) and outputting the internal signal as an output signal (OUT) to the outside while restricting the currents by the first and second restriction circuits.

COPYRIGHT: (C) 2004, JPO

(51) Int. Cl. ⁷

F I

テーマコード(参考)

H 0 3 K 19/003

H 0 3 K 19/003

E

5 J 0 3 2

H 0 3 F 1/52

H 0 3 F 1/52

B

5 J 0 5 6

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 F

5 J 0 9 1

審査請求 未請求 請求項の数5 O L (全9頁)

(21) 出願番号 特願2002-324409 (P2002-324409)

(22) 出願日 平成14年11月7日 (2002.11.7)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74) 代理人 110000040

特許業務法人池内・佐藤アンドパートナーズ

(72) 発明者 井上 敦雄

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 横山 隆

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 橋本 真司

大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

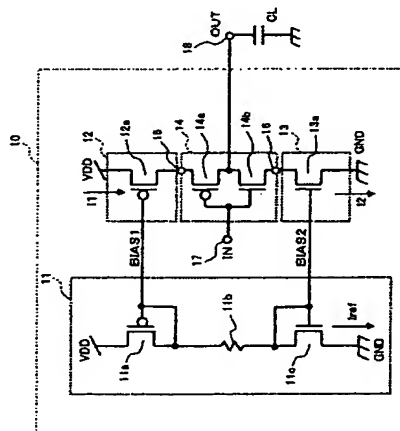
(54) 【発明の名称】 出力回路およびそれを有するデータキャリア

(57) 【要約】

【課題】 複数の出力信号が衝突しても、過剰電流は流れず、構成素子の破壊を防ぐことができ、信頼性の高いデータ通信を可能にした出力回路を有するデータキャリアを提供する。

【解決手段】 出力回路10に、電源電圧の変動に応じて変化する第1および第2のバイアス電圧を発生するバイアス回路11と、第1のバイアス電圧(BIAS1)に応じて電源電位(VDD)から流れ込む電流を制限する第1の電流制限回路12と、第2のバイアス電圧(BIAS2)に応じて接地電位(GND)へと流れ出す電流を制限する第2の電流制限回路13と、第1および第2の電流制限回路によって電流が制限された状態で、内部信号(IN)を受けて出力信号(OUT)として外部に出力する信号伝達回路14とを設けた。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電源電圧の変動に応じて変化する第 1 および第 2 のバイアス電圧を発生するバイアス回路と、

前記第 1 のバイアス電圧に応じて電源電位から流れ込む電流を制限する第 1 の電流制限回路と、

前記第 2 のバイアス電圧に応じて接地電位へと流れ出す電流を制限する第 2 の電流制限回路と、

前記第 1 の電流制限回路によって電源電位から電力供給端子への電流が制限され、また前記第 2 の電流制限回路によって電流放出端子から接地電位への電流が制限された状態で、内部信号を受けて出力信号として外部に出力する信号伝達回路とを備えたことを特徴とする出力回路。 10

【請求項 2】

前記バイアス回路は、

ソースが電源電位に接続され、ドレインおよびゲートが共通接続され、ドレインおよびゲートの共通接続部から前記第 1 のバイアス電圧を出力する第 1 の PMOS トランジスタと、

一端が前記第 1 の PMOS トランジスタのドレインに接続された抵抗素子と、ドレインおよびゲートが前記抵抗素子の他端に接続され、ソースが接地電位に接続され、ドレインおよびゲートの共通接続部から前記第 2 のバイアス電圧を出力する第 1 の NMOS トランジスタとを備えたことを特徴とする請求項 1 記載の出力回路。 20

【請求項 3】

前記第 1 の電流制限回路は、ソースが電源電位に接続され、ゲートに前記第 1 のバイアス電圧が印加され、ドレインが前記信号伝達回路の電力供給端子に接続された第 2 の PMOS トランジスタを備え、

前記第 2 の電流制限回路は、ドレインが前記信号伝達回路の電流放出端子に接続され、ゲートに前記第 2 のバイアス電圧が印加され、ソースが接地電位に接続された第 2 の NMOS トランジスタを備えたことを特徴とする請求項 1 記載の出力回路。

【請求項 4】

前記信号伝達回路は、ゲートが内部信号の入力端子に接続され、ソースが前記電力供給端子に接続され、ドレインが外部への出力端子に接続された第 3 の PMOS トランジスタと、ゲートが前記入力端子に接続され、ソースが前記電流放出端子に接続され、ドレインが前記出力端子に接続された第 3 の NMOS トランジスタとから構成されるインバータであることを特徴とする請求項 1 記載の出力回路。 30

【請求項 5】

データ通信を行うデータキャリアであって、請求項 1 から 4 のいずれか一項記載の出力回路を備えたことを特徴とするデータキャリア。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 40

本発明は、データキャリアとコントロール装置との間で、4 接点で通信等を行うデータ通信システムに関し、特にデータキャリアの出力回路に関する。

【0002】

【従来技術】

近年、情報の高セキュリティ性や高信頼性等の要望により、LSI を内蔵したデータキャリアを用いたデータ通信システムが、工場での工程管理や OA 分野での物品管理等に、広く用いられるようになってきた。

【0003】

図 3 は、従来出力回路を有するデータキャリアを用いたデータ通信システムの概略構成を示す図である。図 3 に示すように、従来の構成では、データキャリア 2 とコントロール 50

装置1とがデータ通信を行う場合、それらは、電源電位VDD、接地電位GND、クロック信号CLK、およびデータ信号DATAにそれぞれ係わる4個の接点を設けて接続されていた。また、データキャリア2内の出力回路10は、PMOSトランジスタとNMOSトランジスタとで構成されたインバータ回路である信号伝達回路が、電源電位VDDと接地電位GNDの間に接続されていた。すなわち、信号伝達回路を出力回路10として使用していた(例えば、非特許文献1参照)。

【0004】

また、出力回路を構成する素子への過剰電流を制限するために、カレントミラー回路と、電流制限回路と、電圧制限回路とを備え、電流制限機能付き出力回路を実現しているものもある(例えば、特許文献1参照)。

【0005】

【非特許文献1】

MASAKAZU SHOJI著、「CMOS Digital Circuit Technology」、PRENTICE HALL、1988、p81

【0006】

【特許文献1】

特開2001-223572号公報 (第4-5頁、第4図)

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来の構成では、複数のデータキャリアが1個のコントロール装置に共通線を介して接続された場合、データの衝突が起これば、それぞれのデータキャリアに過剰電流が流れ、その構成素子を破壊する恐れがあるという問題があった。

【0008】

図4に、1個のコントロール装置に2個以上のデータキャリアが接続されているデータ通信システムを示す。

【0009】

図4において、第1のデータキャリア2a内の第1の出力回路10aと、第2のデータキャリア2b内の第2の出力回路10bとが、共通信号線51に接続されている状態において、第1の出力回路10aの出力信号OUT1が論理“H”であり、第2の出力回路10bの出力信号OUT2が論理“L”となるようなデータの衝突が起これば、電源電位VDDから、第1の出力回路10a内のPMOSトランジスタQP1、共通信号線51、および第2の出力回路10b内のNMOSトランジスタQN2を介して、接地電位GNDへと過剰電流が流れ、PMOSトランジスタQP1およびNMOSトランジスタQN2が破壊に至る場合がある。

【0010】

本発明は、上記従来の問題点を解決するもので、その目的は、少なくとも1個のコントロール装置と複数のデータキャリアとの通信において、各データキャリアに過剰電流が流れることなく、信頼性の高いデータ通信を可能にした出力回路、およびかかる出力回路を有するデータキャリアを提供することにある。

【0011】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る出力回路は、電源電圧の変動に応じて変化する第1および第2のバイアス電圧(BIAS1、BIAS2)を発生するバイアス回路と、第1のバイアス電圧(BIAS1)に応じて電源電位(VDD)から流れ込む電流を制限する第1の電流制限回路と、第2のバイアス電圧(BIAS2)に応じて接地電位(GND)へと流れ出す電流を制限する第2の電流制限回路と、第1の電流制限回路によって電源電位から電力供給端子への電流が制限され、また第2の電流制限回路によって電流放出口から接地電位への電流が制限された状態で、内部信号(IN)を受けて出力信号(OUT)として外部に出力する信号伝達回路とを備えたことを特徴とする。

【0012】

本発明に係る出力回路において、バイアス回路は、ソースが電源電位に接続され、ドレインおよびゲートが共通接続され、ドレインおよびゲートの共通接続部から第1のバイアス電圧を出力する第1のPMOSトランジスタと、一端が第1のPMOSトランジスタのドレインに接続された抵抗素子と、ドレインおよびゲートが抵抗素子の他端に接続され、ソースが接地電位に接続され、ドレインおよびゲートの共通接続部から第2のバイアス電圧を出力する第1のNMOSトランジスタとを備えることが好ましい。

【0013】

また、本発明に係る出力回路において、第1の電流制限回路は、ソースが電源電位に接続され、ゲートに第1のバイアス電圧が印加され、ドレインが信号伝達回路の電力供給端子に接続された第2のPMOSトランジスタを備え、第2の電流制限回路は、ドレインが信号伝達回路の電流放出端子に接続され、ゲートに第2のバイアス電圧が印加され、ソースが接地電位に接続された第2のNMOSトランジスタを備えることが好ましい。

【0014】

また、本発明に係る出力回路において、信号伝達回路は、ゲートが内部信号の入力端子に接続され、ソースが電力供給端子に接続され、ドレインが外部への出力端子に接続された第3のPMOSトランジスタと、ゲートが入力端子に接続され、ソースが電流放出端子に接続され、ドレインが出力端子に接続された第3のNMOSトランジスタとから構成されるインバータである。

【0015】

上記の構成によれば、バイアス回路が発生した第1および第2のバイアス電圧によって、それぞれ第1および第2の電流制限回路に流れる電流が制限されるため、信号伝達回路に流れる電流が制限される。したがって、複数の出力回路の出力信号が衝突しても、過剰電流は流れず、一定の電流が流れ、構成素子の破壊を防ぐことができる。

【0016】

前記の目的を達成するため、本発明に係るデータキャリアは、データ通信を行うデータキャリアであって、本発明に係る出力回路を備えたことを特徴とする。

【0017】

この構成によれば、信頼性の高いデータ通信を実現することができる。

【0018】

【発明の実施の形態】

以下、本発明の好適な実施形態について、図面を参照しながら説明する。

【0019】

図1は、本発明の一実施形態に係る出力回路の構成例を示す回路図である。図1において、出力回路10は、電源電圧の変動に応じて変化する第1のバイアス電圧BIAS1および第2のバイアス電圧BIAS2を発生するバイアス回路11と、第1のバイアス電圧BIAS1に応じて、電源電位VDDから流れ込む電流を制限する第1の電流制限回路12と、第2のバイアス電圧BIAS2に応じて、接地電位GNDへと流れ出す電流を制限する第2の電流制限回路13と、第1の電流制限回路12および第2の電流制限回路13によって電流を制限された状態で信号OUTを出力する信号伝達回路14とで構成されている。

【0020】

バイアス回路11は、ソースが電源電位VDDに接続され、ドレインとゲートが共通接続され、ドレインとゲートとの共通接続部から第1のバイアス電圧BIAS1を出力する第1のPMOSトランジスタ11aと、第1のPMOSトランジスタ11aのドレインに一端が接続された抵抗素子11bと、抵抗素子11bの他端にドレインとゲートが共通接続され、ソースが接地電位GNDに接続され、ドレインとゲートとの共通接続部から第2のバイアス電圧BIAS2を出力する第1のNMOSトランジスタ11cとにより構成される。

【0021】

第1の電流制限回路12は、ソースが電源電位VDDに接続され、ゲートがバイアス回路

10

20

30

40

50

11内の第1のPMOSトランジスタ11aのゲートおよびドレインに接続され、ドレインが信号伝達回路14の電力供給端子15に接続された第2のPMOSトランジスタ12aとにより構成され、バイアス回路11が発生した第1のバイアス電圧BIAS1に応じて供給電流I1を制限する。

【0022】

第2の電流制限回路13は、ドレインが信号伝達回路14の電流放出端子16cに接続され、ゲートがバイアス回路11内の第1のNMOSトランジスタ11cのドレインおよびゲートに接続され、ソースが接地電位GNDに接続された第2のNMOSトランジスタ13aとにより構成され、バイアス回路11が発生した第2のバイアス電圧BIAS2に応じて放出電流I2を制限する。

10

【0023】

信号伝達回路14は、ゲートが入力端子17に接続され、ドレインが出力端子18に接続され、ソースが電力供給端子15に接続された第3のPMOSトランジスタ14aと、ゲートが入力端子17に接続され、ドレインが出力端子18に接続され、ソースが電流放出端子16に接続された第3のNMOSトランジスタ14bとにより構成され、第1の電流制限回路12および第2の出力制限回路13により、供給電流I1および放出電流I2が制限された状態で、入力信号INを反転した信号を出力信号OUTとして出力する。

【0024】

次に、このように構成された本実施形態の出力回路の動作について、図2を参照して説明する。

20

【0025】

図2は、図1に示す信号伝達回路14の入力信号IN、出力信号OUT、第1の電流制限回路12により制限された供給電流I1、第2の電流制限回路13により制限された放出電流I2の時間変化を示すタイミングチャートである。

【0026】

バイアス回路11において、電源電位VDDから、ダイオード接続された第1のPMOSトランジスタ11a、抵抗11b、およびダイオード接続された第1のNMOSトランジスタ11cを介して、接地電位GNDへと電流Irefが流れる。

【0027】

第1の電流制限回路12内の第2のPMOSトランジスタ12aは、バイアス回路11内の第1のPMOSトランジスタ11aとカレントミラーを構成しているため、第2のPMOSトランジスタ12aには、第1のPMOSトランジスタ11aに流れる電流IrefのM倍の電流が流れようとする。また、第2の電流制限回路13内の第2のNMOSトランジスタ13aは、バイアス回路11内の第1のNMOSトランジスタ11cとカレントミラーを構成しているため、第2のNMOSトランジスタ13aには、第1のNMOSトランジスタ11cに流れる電流IrefのN倍の電流が流れようとする。

30

【0028】

入力信号INが論理“L”から“H”に変化したとき、信号伝達回路14内の第3のPMOSトランジスタ14aが非導通となり、かつ、第3のNMOSトランジスタ14bが導通し、第2のNMOSトランジスタ13aが供給電流I1として $N \cdot I_{ref}$ を、負荷容量CLから接地電位GNDへと流し出すため、出力信号OUTは、論理“H”から“L”に変化する。

40

【0029】

次に、入力信号INが論理“H”から“L”に変化したとき、信号伝達回路14内の第3のNMOSトランジスタ14bが非導通となり、かつ、第3のPMOSトランジスタ14aが導通し、第2のPMOSトランジスタ12aが供給電流I1として $M \cdot I_{ref}$ を、電源電位VDDから負荷容量CLに流し込むため、出力信号OUTは、論理“L”から“H”に変化する。

【0030】

以上のように、本実施形態によれば、バイアス回路11が発生した第1のバイアス電圧B

50

I A S 1 および第 2 のバイアス電圧 B I A S 2 により、それぞれ、第 1 の電流制限回路 1 2 および第 2 の電流制限回路 1 3 に流れる電流が制限され、信号伝達回路 1 4 は第 1 の電流制限回路 1 2 および第 2 の電流制限回路 1 3 と直列に接続されているため、出力端子 1 8 が共通接続線に接続された信号伝達回路 1 4 に流れる電流は、第 1 の電流制限回路 1 2 および第 2 の電流制限回路 1 3 に流れる一定の電流量に制限され、複数の出力回路の出力信号が衝突しても、過剰電流を防ぐことができる。

【 0 0 3 1 】

なお、本実施形態では、信号伝達回路 1 4 をインバータ回路として説明したが、論理回路等の他の回路であっても、本実施形態と同様の効果が得られる。

【 0 0 3 2 】

10

【発明の効果】

以上説明したように、本発明によれば、出力回路に流れる電流を制限することで、複数の出力回路の出力信号が衝突しても、過剰電流は流れず、一定の電流が流れ、構成素子の破壊を防ぐことができる。したがって、信頼性の高いデータ通信を可能にしたデータキャリアを提供できる、という格別な効果を奏する。

【図面の簡単な説明】

【図 1】 本発明の一実施形態に係る出力回路の構成例を示す回路図

【図 2】 図 1 に示す信号伝達回路 1 4 の入力信号 I N、出力信号 O U T、第 1 の電流制限回路 1 2 により制限された供給電流 I 1、第 2 の電流制限回路 1 3 により制限された放出電流 I 2 の時間変化を示すタイミングチャート

20

【図 3】 従来の出力回路を有するデータキャリアを用いたデータ通信システムの概略構成を示す図

【図 4】 1 個のコントロール装置と複数のデータキャリアが接続されているデータ通信システムの概略構成を示す図

【符号の説明】

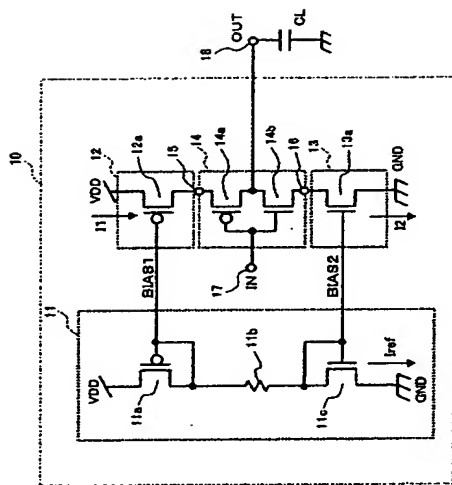
- 1 コントロール装置
- 2 データキャリア
- 2 a 第 1 のデータキャリア
- 2 b 第 2 のデータキャリア
- 1 0 出力回路
- 1 0 a 第 1 の出力回路
- 1 0 b 第 2 の出力回路
- 1 1 バイアス回路
- 1 1 a 第 1 の P M O S トランジスタ
- 1 1 b 抵抗素子
- 1 1 c 第 1 の N M O S トランジスタ
- 1 2 第 1 の電流制限回路
- 1 2 a 第 2 の P M O S トランジスタ
- 1 3 第 2 の電流制限回路
- 1 3 a 第 2 の N M O S トランジスタ
- 1 4 信号伝達回路
- 1 4 a 第 3 の P M O S トランジスタ
- 1 4 b 第 3 の N M O S トランジスタ
- 5 1 共通信号線
- V D D 電源電位
- G N D 接地電位
- B I A S 1 第 1 のバイアス電圧
- B I A S 2 第 2 のバイアス電圧
- I N 内部信号
- O U T 外部への出力信号

30

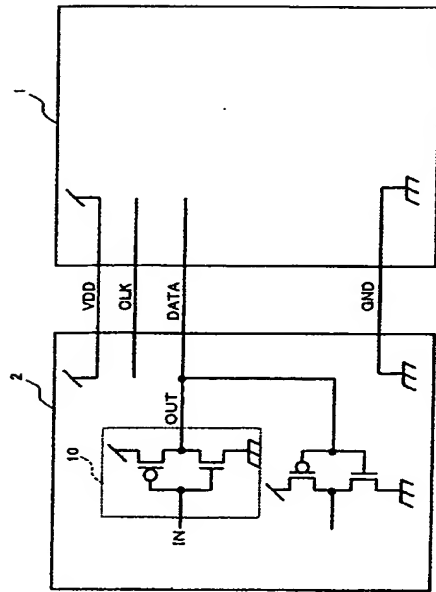
40

50

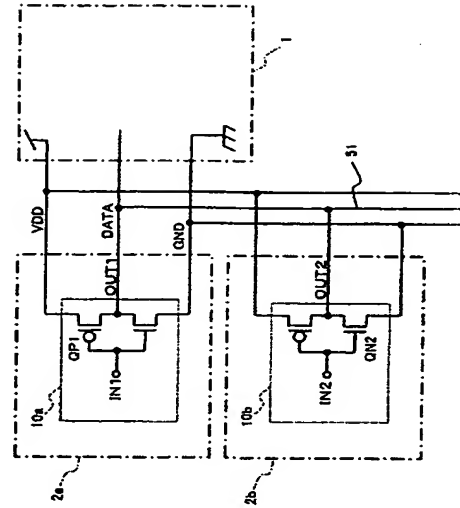
【 図 1 】



【 図 3 】



【 図 4 】



フロントページの続き

Fターム(参考) 5J032 AA06 AB02 AC18

5J056 AA04 BB44 CC00 CC04 DD13 DD29 DD51 EE08 FF06 FF08
GG04 KK01

5J091 AA01 CA57 FA00 FA04 HA10 HA17 HA25 HA29 KA00 KA09
KA12 KA47 MA21 SA13 TA06

5J500 AA01 AC57 AF00 AF04 AH10 AH17 AH25 AH29 AK00 AK09
AK12 AK47 AM21 AS13 AT06